

GEN0020-US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: CHUNG-PEI TSAI ET AL. Serial No.: NEW APPLICATION Filed: APRIL 12, 2004 For: HYSTERESIS CIRCUITS USED IN COMPARATOR	ATTN. APPLICATION BRANCH
--	--------------------------

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of the priority provided under 35 U.S.C. § 119 is hereby claimed:

Taiwanese Patent Appln. No. 092124240 filed September 2, 2003

In support of this claim, filed herewith is a certified copy of said foreign application.

Serial No.: New Application
Art Unit: Unknown
Inventor: Chung-Pei TSAI et al.

Attorney's Docket No.: GEN0020-US
Page 2

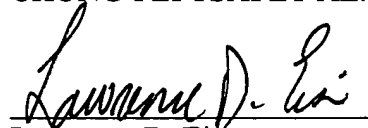
SHAW PITTMAN LLP
1650 Tysons Boulevard
McLean, VA 22102
Tel: 703/770-7900

Date: April 12, 2004

Respectfully submitted,

CHUNG-PEI TSAI ET AL.

By:

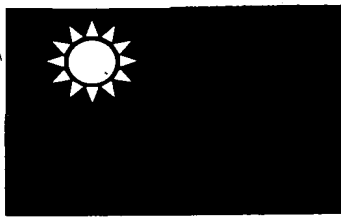


Lawrence D. Eisen

Registration No. 41,009

MDB/ggb

Document #: 1250118 v.1



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 02 日
Application Date

申請案號：092124240
Application No.

申請人：旺玖科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 27 日
Issue Date

發文字號：09221206100
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 0921 2424 0

※ 申請日期： 92.09.02 ※IPC 分類：

※ 壹、發明名稱：(中文/英文)

用於比較器之磁滯電路/Hysteresis Circuits Used In Comparator

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文) ID : 16177572

旺玖科技股份有限公司 / Prolific Technology INC.

代表人：(中文/英文) 張景棠 / Ching-Tang Chang

住居所或營業所地址：(中文/英文)

115 台北市南港區南港路 3 段 48 號 7 樓

7F, No.48, Sec.3, Nan Kang Rd., Nan Kang, Taipei, Taiwan 115, R.O.C.

國 籍：(中文/英文) 中華民國 / TW

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 蔡中培 / Chung-Pei Tsai ID : V120524895

2. 吳意旻 / Yi-min Wu ID : H220152667

住居所地址：(中文/英文)

1. 台北縣三重市三和路四段237號11樓 / 11F, No.237, Sec. 4, Sanhe Rd., Sanchong City, Taipei County, Taiwan 241, R.O.C.

2. 桃園市東埔里14鄰大華八街8號/ No.8, Dahua 8th St., Taoyuan City, Taoyuan County, Taiwan 330, R.O.C.

國 籍：(中文/英文) 中華民國 / TW

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

一種用於比較器之磁滯電路，其係於比較器之輸入級的第一電晶體源極端與定電流源之間設置第一電阻，並於第二電晶體源極端與定電流源之間設置第二電阻。此外，並設置第一與第二電流產生裝置，使得當比較器之輸出端輸出信號為第一邏輯值時，第一電流產生裝置可產生一定電流供應至第一電晶體之源極端，並產生一定電流導出第二電晶體之源極端，當比較器之輸出端輸出信號為第二邏輯值時，第二電流產生裝置可產生一定電流供應至第二電晶體之源極端，並產生一定電流導出第一電晶體之源極端。

陸、英文發明摘要：

The present invention provides hysteresis circuits used in a comparator. The hysteresis circuits comprise a first resistor, a second resistor, a first current-generating device and a second current-generating device. The first resistor is connected between the source terminal of a first transistor and a constant current source. The second resistor is connected between the source terminal of a second transistor and the constant current source. Moreover, the current-generating devices are used to generate the currents for the current sources. When the output signal of the comparator is set to the first logic level, the first current-generating device generates a constant current into the source terminal of the first transistor and a constant current

out of the source terminal of the second transistor. When the output signal of the comparator is set to the second logic level, the second current-generating device generates a constant current into the source terminal of the second transistor and a constant current out of the source terminal of the first transistor.

柒、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件代表符號簡單說明：

Q1：第一 PMOS 電晶體 Q2：第二 PMOS 電晶體

R1：第一電阻 R2：第二電阻

I1：第一定電流源 I2：第二定電流源

I3：第三定電流源 I4：第四定電流源

I5：第五定電流源 SW1：第一開關

SW2：第二開關 SW3：第三開關

SW4：第四開關

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種電子電路，特別係關於一種在差動輸入比較器中產生磁滯之電路。

【先前技術】

典型之比較器具有二輸入端，其可比較分別饋入二輸入端之一輸入電壓與一參考電壓，放大二電壓之間的電壓差，然後根據此電壓差而在比較器之輸出端輸出一高或低之邏輯電壓信號。一般而言，當輸入電壓大於參考電壓時，輸出端輸出一高邏輯電壓；反之，當輸入電壓小於參考電壓時，輸出端輸出一低邏輯電壓。

為了避免因輸入電壓信號或參考電壓信號中的雜訊引起比較器之誤操作，比較器中通常會包含一磁滯電路設計，使得當比較器之輸出端從低邏輯電壓轉為高邏輯電壓的閾限電壓值，不同於從高邏輯電壓轉為低邏輯電壓的閾限電壓值。圖1顯示具有磁滯特徵之比較器的輸入電壓信號與輸出電壓信號之關係圖，其中，橫軸代表輸入電壓信號 V_{in} ，縱軸代表輸出電壓信號 V_{out} 。當輸出電壓信號 V_{out} 為低邏輯電壓時，則輸入電壓信號 V_{in} 必須上升到高於一上限閾限電壓值 V_{th} ，輸出電壓信號 V_{out} 才會從低邏輯電壓轉換為高邏輯電壓。當輸出電壓信號 V_{out} 為高邏輯電壓時，則輸入電壓信號 V_{in} 必須下降到低於一下限閾限電壓值 V_{tl} ，輸出電壓信號 V_{out} 才會從高邏輯電壓轉換為低邏輯電壓。前述之上限閾限電壓值 V_{th} 與下限閾限電壓值 V_{tl} 之間的電壓差即稱為磁滯

寬度，其大小可設定為例如數百 mV。

中華民國專利公告第 508567 號所揭示之「定磁滯寬度之磁滯比較裝置」即為一種具有磁滯特徵之比較器電路。圖 2 顯示該專利之磁滯比較裝置之示意電路圖。如圖所示，磁滯比較裝置 20 包含一閾限電壓產生器 22、一選擇切換裝置 24 及一比較器 26。磁滯比較裝置 20 係用於接收一輸入電壓信號 V_{in} ，並產生一輸出電壓信號 V_{out} 。閾限電壓產生器 22 可依照電路所要求之磁滯寬度，而利用一直流電壓信號 V_{dc} 產生一上限閾限電壓值 V_{th} 與一下限閾限電壓值 V_{tl} 。選擇切換裝置 24 包括一第一開關 24a 與一第二開關 24b，其可根據比較器 26 之輸出電壓信號進行切換，而選擇上限閾限電壓值 V_{th} 或下限閾限電壓值 V_{tl} 做為比較器之參考電壓信號。當輸出電壓信號 V_{out} 為低邏輯電壓時，則開關 24a 為 ON、而開關 24b 為 OFF，因此選擇切換裝置 24 可輸出上限閾限電壓值 V_{th} 。反之，當輸出電壓信號 V_{out} 為高邏輯電壓時，則開關 24a 為 OFF、而開關 24b 為 ON，因此選擇切換裝置 24 可輸出下限閾限電壓值 V_{tl} 。根據上述之設計，當輸出電壓信號 V_{out} 為低邏輯電壓時，則輸入電壓信號 V_{in} 必須高於上限閾限電壓值 V_{th} ，輸出電壓信號 V_{out} 才會從低邏輯電壓轉換為高邏輯電壓；當輸出電壓信號 V_{out} 為高邏輯電壓時，則輸入電壓信號 V_{in} 必須低於下限閾限電壓值 V_{tl} ，輸出電壓信號 V_{out} 才會從高邏輯電壓轉換為低邏輯電壓。藉此，可達到磁滯之效果。

然而，上述之圖 2 中之電路設計係於比較器外加設閾限電

壓產生電路，以達到其磁滯之效果，其缺點在於切換速度較慢，且電路較為複雜而不利於積體電路之使用。因此，亟需開發出一種切換速度較快、設計簡單、且適合應用於積體電路中之比較器磁滯電路。

【發明內容】

本發明之主要目的在於提供一種用於比較器之磁滯電路，其係設置於比較器之內部，具有切換速度較快之優點，且僅需使用簡單之元件與結構。

本發明之另一主要目的在於提供一種用於比較器之磁滯電路，其僅需使用電流源與電阻元件，適合應用於積體電路中，且可產生不受供應電源與溫度影響之磁滯寬度。

本發明之磁滯電路係可應用於差動輸入比較器，差動比較器具有一差動輸入級，包括一對第一電晶體與第二電晶體，其閘極端分別做為比較器之二輸入端，比較器並具有一定電流源，用以供應一定電流至比較器之差動輸入級。本發明之磁滯電路係於上述比較器中設置第一與第二電阻元件、第一至第四定電流源元件、及第一至第四開關元件。第一與第二電阻元件具有相同之電阻值，第一電阻元件耦接於第一電晶體之源極端與比較器之定電流源元件之間，第二電阻元件耦接於第二電晶體之源極端與比較器之定電流源元件之間。第一至第四定電流源元件係用以產生與比較器之定電流源相同的定電流。第一開關元件係耦接於第一定電流源元件與第一電晶體之源極端之間，使第一定電流源元件可選擇性地供應定電流至第一電晶體之源極端。第二開關元件係耦接於第二

定電流源元件與第一電晶體之源極端之間，使第二定電流源元件可選擇性地從第一電晶體之源極端導出一定電流。第三開關元件係耦接於第三定電流源元件與第二電晶體之源極端之間，使第三定電流源元件可選擇性地供應定電流至第二電晶體之源極端。第四開關元件係耦接於第四定電流源元件與第二電晶體之源極端之間，使第四定電流源元件可選擇性地從第二電晶體之源極端導出一定電流。第一至第四開關元件之開啟（ON）與關閉（OFF）可根據比較器之輸出端輸出信號而切換，使得當比較器之輸出端輸出信號為第一邏輯值時，第一與第四開關元件為開啟（ON）而第二與第三開關元件為關閉（OFF），當比較器之輸出端輸出信號為第二邏輯值時，第一與第四開關元件為關閉（OFF）而第二與第三開關元件為開啟（ON）。

根據本發明上述結構，將可產生定電流源元件電流值 I 乘以二倍電阻元件電阻值 R 之單邊磁滯寬度 $I \times 2R$ ，亦即，總磁滯寬度為 $2 \times I \times 2R$ 。

【實施方式】

為能讓貴審查委員能更瞭解本發明之技術內容，特舉一較佳具體例說明如下。

請參照圖 4，其顯示應用本發明之磁滯電路的比較器電路圖。應注意的是，為簡化說明，圖 4 中之比較器電路僅顯示出與本發明磁滯電路相關聯之元件，而非完整之比較器電路。如圖所示，一差動輸入比較器中具有一差動輸入級，其包括一第一 PMOS 電晶體 Q1 及一第二 PMOS 電晶體 Q2。第

一 PMOS 電晶體 Q1 與第二 PMOS 電晶體 Q2 為具有實質上相同之特徵之二 PMOS 電晶體，其閘極端分別做為比較器之二輸入端，亦即，分別用以接收第一輸入信號 V_{in+} 與第二輸入信號 V_{in-} 。比較器並具有一定電流源（第五定電流源） I_5 ，用以產生電流值為 I 之定電流，供應至比較器之輸入級。此外，比較器並具有一輸出端（圖未示），可根據第一輸入信號 V_{in+} 與第二輸入信號 V_{in-} 之電壓差 ΔV 而輸出一輸出信號 V_{out} 。

根據本發明之用於比較器之磁滯電路，係於差動輸入比較器中設置一第一電阻 R_1 、一第二電阻 R_2 、一第一定電流源 I_1 、一第二定電流源 I_2 、一第三定電流源 I_3 、一第四定電流源 I_4 、一第一開關 SW_1 、一第二開關 SW_2 、一第三開關 SW_3 、及一第四開關 SW_4 。第一電阻 R_1 與第二電阻 R_2 係串聯耦接於第一 PMOS 電晶體 Q1 之源極端 S_1 與第二 PMOS 電晶體 Q2 之源極端 S_2 之間。更具體言之，第一電阻 R_1 之二端係分別連接於第一 PMOS 電晶體 Q1 之源極端 S_1 與第五定電流源 I_5 之間，第二電阻 R_2 之二端係分別連接於第二 PMOS 電晶體 Q2 之源極端 S_2 與第五定電流源 I_5 之間。第一電阻 R_1 與第二電阻 R_2 具有實質上相同之電阻值 R 。第一至第四定電流源 $I_1 \sim I_4$ 係可產生實質上相同之電流值 I 之定電流，亦即與第五定電流源 I_5 所產生之電流值相同。第一定電流源 I_1 係透過第一開關 SW_1 而耦接至第一 PMOS 電晶體 Q1 之源極端 S_1 ，使其可藉由第一開關 SW_1 之切換而選擇性地供應一定電流至第一 PMOS 電晶體 Q1 之源極端 S_1 。第二定電流源

I2 係透過第二開關 SW2 而耦接至第一 PMOS 電晶體 Q1 之源極端 S1，使其可藉由第二開關 SW2 之切換而選擇性地從第一 PMOS 電晶體 Q1 之源極端 S1 導出一定電流。類似地，第三定電流源 I3 係透過第三開關 SW3 而耦接至第二 PMOS 電晶體 Q2 之源極端 S2，使其可藉由第三開關 SW3 之切換而選擇性地供應一定電流至第二 PMOS 電晶體 Q2 之源極端 S2。第四定電流源 I4 係透過第四開關 SW4 而耦接至第二 PMOS 電晶體 Q2 之源極端 S2，使其可藉由第四開關 SW4 之切換而選擇性地從第二 PMOS 電晶體 Q2 之源極端 S2 導出一定電流。此外，本發明之用於比較器之磁滯電路又包含一開關元件控制裝置（圖未示），用於控制第一至第四開關 SW1~SW4 之開啟（ON）與關閉（OFF）。開關元件控制裝置係依據比較器之輸出端（圖未示）的輸出信號 Vout 來切換第一至第四開關 SW1~SW4。當比較器之輸出端的輸出信號 Vout 為低邏輯電壓時，可控制第一與第四開關為開啟（ON）而第二與第三開關為關閉（OFF）。因此，第一定電流源 I1 可供應定電流至第一 PMOS 電晶體 Q1 之源極端 S1，而第四定電流源 I4 可從第二 PMOS 電晶體 Q2 之源極端 S2 導出一定電流。當比較器之輸出端的輸出信號 Vout 為高邏輯電壓時，可控制第一與第四開關為關閉（OFF）而第二與第三開關為開啟（ON）。因此，第三定電流源 I3 可供應定電流至第二 PMOS 電晶體 Q2 之源極端 S2，而第二定電流源 I2 可從第一 PMOS 電晶體 Q1 之源極端 S1 導出一定電流。

本發明之磁滯電路將可使比較器具有如圖 3 所示之磁滯特

性。亦即，當比較器之輸出端的輸出信號 V_{out} 為低邏輯電壓時，比較器之輸入端之第一輸入信號 V_{in+} 必須比第二輸入信號 V_{in-} 高過一電壓差 $I \times 2R$ ，才可使輸出信號 V_{out} 由低邏輯電壓轉換為高邏輯電壓。當比較器之輸出端的輸出信號 V_{out} 為高邏輯電壓時，比較器之輸入端之第一輸入信號 V_{in+} 必須比第二輸入信號 V_{in-} 低過一電壓差 $I \times 2R$ ，才可使輸出信號 V_{out} 由高邏輯電壓轉換為低邏輯電壓。視實際電路設計之需求，透過電阻值 R 與電流值 I 之選擇，即可產生一不受供應電源與溫度影響之固定或可調式磁滯寬度。

以下將參照圖 5(a)與 5(b)及圖 6(a)與 6(b)說明本發明之動作原理。

圖 5(a)與 5(b)係為比較器之輸出端由低邏輯電壓轉換為高邏輯電壓時之電路動作說明圖。當比較器之輸出端的輸出信號 V_{out} 為低邏輯電壓時，由於第一與第四開關為開啟 (ON) 而第二與第三開關為關閉 (OFF)，因此，第一定電流源 I_1 可供應定電流 I 至第一 PMOS 電晶體 Q_1 之源極端 S_1 ，而第四定電流源 I_4 可從第二 PMOS 電晶體 Q_2 之源極端 S_2 導出一定電流 I 。此時，若比較器之輸入端之第一輸入信號 V_{in+} 逐漸增加成高於第二輸入信號 V_{in-} ，則第二 PMOS 電晶體 Q_2 開啟、但第一 PMOS 電晶體 Q_1 尚未關閉。因此，如圖 5(a) 所示，第一 PMOS 電晶體 Q_1 導通 $I/2$ 之電流，流經第一電阻 R_1 之電流為 $I/2$ ，流經第二電阻 R_2 之電流為 $3I/2$ ，而第二 PMOS 電晶體 Q_2 導通 $I/2$ 之電流。故，第一 PMOS 電晶體 Q_1 之源極端 S_1 與第二 PMOS 電晶體 Q_2 之源極端 S_2 之間的

電壓差為： $(I/2) \times R + (3I/2) \times R = I \times 2R$ 。所以，當比較器之輸入端之第一輸入信號 V_{in+} 逐漸增加成高於第二輸入信號 V_{in-} 時，比較器之輸出端之輸出信號 V_{out} 並不會立刻由低邏輯電壓轉換為高邏輯電壓，必須在第一輸入信號 V_{in+} 與第二輸入信號 V_{in-} 之電壓差 ΔV 高於 $I \times 2R$ 時，才會使輸出信號 V_{out} 由低邏輯電壓轉換為高邏輯電壓。

如圖 5(b)所示，當輸出信號 V_{out} 由低邏輯電壓轉換為高邏輯電壓後，第一與第四開關為關閉 (OFF) 而第二與第三開關為開啟 (ON)。因此，第一與第四定電流源 I_1 與 I_4 視為不再存在，第三定電流源 I_3 可供應定電流 I 至第二 PMOS 電晶體 Q_2 之源極端 S_2 ，而第二定電流源 I_2 可從第一 PMOS 電晶體 Q_1 之源極端 S_1 導出一定電流 I 。此時，第一 PMOS 電晶體 Q_1 關閉，第二 PMOS 電晶體 Q_2 導通電流 I 。

類似地，圖 6(a)與 6(b)係為比較器之輸出端由高邏輯電壓轉換為低邏輯電壓時之電路動作說明圖。當比較器之輸出端的輸出信號 V_{out} 為高邏輯電壓時，由於第一與第四開關為關閉 (OFF) 而第二與第三開關為開啟 (ON)，因此，第三定電流源 I_3 可供應定電流 I 至第二 PMOS 電晶體 Q_2 之源極端 S_2 ，而第二定電流源 I_2 可從第一 PMOS 電晶體 Q_1 之源極端 S_1 導出一定電流 I 。此時，若比較器之輸入端之第一輸入信號 V_{in+} 逐漸減少成低於第二輸入信號 V_{in-} ，則第一 PMOS 電晶體 Q_1 開啟、但第二 PMOS 電晶體 Q_2 尚未關閉。因此，如圖 6(a)所示，第二 PMOS 電晶體 Q_2 導通 $I/2$ 之電流，流經第二電阻 R_2 之電流為 $I/2$ ，流經第一電阻 R_1 之電流為 $3I/2$ ，

而第一 PMOS 電晶體 Q1 導通 $I/2$ 之電流。故，第一 PMOS 電晶體 Q1 之源極端 S1 與第二 PMOS 電晶體 Q2 之源極端 S2 之間的電壓差為： $-(I/2) \times R - (3I/2) \times R = -I \times 2R$ 。所以，當比較器之輸入端之第一輸入信號 V_{in+} 逐漸減少成低於第二輸入信號 V_{in-} 時，比較器之輸出端之輸出信號 V_{out} 並不會立刻由高邏輯電壓轉換為低邏輯電壓，必須在第一輸入信號 V_{in+} 與第二輸入信號 V_{in-} 之電壓差 ΔV 低於 $-I \times 2R$ 時，才會使輸出信號 V_{out} 由高邏輯電壓轉換為低邏輯電壓。

如圖 6(b)所示，當輸出信號 V_{out} 由高邏輯電壓轉換為低邏輯電壓後，第一與第四開關為開啟 (ON) 而第二與第三開關為關閉 (OFF)。因此，第二與第三定電流源 I_2 與 I_3 視為不再存在，第一定電流源 I_1 可供應定電流 I 至第一 PMOS 電晶體 Q1 之源極端 S1，而第四定電流源 I_4 可從第二 PMOS 電晶體 Q2 之源極端 S2 導出一定電流 I 。此時第二 PMOS 電晶體 Q2 關閉，第一 PMOS 電晶體 Q1 導通電流 I 。

上述本發明之具體例中，雖然係將第一至第四定電流源 $I_1 \sim I_4$ 設定為與第五定電流源 I_5 具有相同之定電流值 I ，並將第一電阻 R_1 與第二電阻 R_2 設定為具有相同之電阻值 R ，但熟習此項技術者應瞭解，此種設定僅為舉例性、而非限制性。在其他實施方式中，各個定電流源可具有不相等之電流值，且各個電阻可具有不相等之電阻值，透過適當電流值與電阻值之選擇與寬度之調配，亦可達到與上述具體例相同之效果。

本發明之磁滯電路不僅可適用於差動輸入比較之情況，亦可適用於單端輸入比較之情況。當用於差動輸入比較時，係

將比較器之二輸入端 V_{in+} 與 V_{in-} 分別接到二個欲進行比較之信號；而，當用於單端輸入比較時，則可將比較器之反相輸入端 V_{in-} 接到一固定之 DC 參考電壓，並將比較器之非反相輸入端 V_{in+} 接到欲進行比較之信號。在圖 2 所示之習知技術，由於其比較器 26 之反相輸入端之輸入值已被閾限電壓產生器 22 限定，因此該電路不適用於差動輸入比較之情況。相較之下，本發明之磁滯電路可具有較廣之應用範圍。

上述具體例僅為例示性說明本發明之原理及其功效，而非用於限制本發明之範圍。任何熟於此項技藝之人士均可在不違背本發明之技術原理及精神下，對具體例作修改與變化。本發明之權利保護範圍應如後述之申請專利範圍所述。

【圖式簡單說明】

圖 1 顯示具有磁滯特徵之比較器的輸出電壓轉換圖。

圖 2 係為習知磁滯比較裝置之示意電路圖。

圖 3 顯示應用本發明磁滯電路之比較器的輸出電壓轉換圖。

圖 4 係為應用本發明磁滯電路之比較器示意電路圖。

圖 5(a) 與 5(b) 係為比較器之輸出端由低邏輯電壓轉換為高邏輯電壓時之電路動作說明圖。

圖 6(a) 與 6(b) 係為比較器之輸出端由高邏輯電壓轉換為低邏輯電壓時之電路動作說明圖。

【圖號說明】

20：磁滯比較裝置

22：閾限電壓產生器

24：選擇切換裝置

24a：第一開關

24b : 第二開關

Q1 : 第一 PMOS 電晶體

R1 : 第一電阻

I1 : 第一定電流源

I3 : 第三定電流源

I5 : 第五定電流源

SW2 : 第二開關

SW4 : 第四開關

26 : 比較器

Q2 : 第二 PMOS 電晶體

R2 : 第二電阻

I2 : 第二定電流源

I4 : 第四定電流源

SW1 : 第一開關

SW3 : 第三開關

拾、申請專利範圍：

1. 一種用於比較器之磁滯電路，該比較器具有一輸入級包含一第一電晶體及一第二電晶體，該第一電晶體與該第二電晶體之閘極端分別做為該比較器之二輸入端，用以接收二輸入信號，該比較器並具有一定電流源，用以供應一定電流至該比較器之輸入級，該磁滯電路包含：

一第一電阻元件，耦接於該第一電晶體之源極端與該比較器之定電流源之間；

一第二電阻元件，耦接於該第二電晶體之源極端與該比較器之定電流源之間；

一第一電流產生裝置，當該比較器之輸出端輸出信號為第一邏輯值時，該第一電流產生裝置產生一第一電流供應至該第一電晶體之源極端，並產生一第四電流導出該第二電晶體之源極端；及

一第二電流產生裝置，當該比較器之輸出端輸出信號為第二邏輯值時，該第二電流產生裝置產生一第三電流供應至該第二電晶體之源極端，並產生一第二電流導出該第一電晶體之源極端。

2. 如申請專利範圍第 1 項之用於比較器之磁滯電路，其中，該第一至第四電流具有相同之電流值。

3. 如申請專利範圍第 1 項之用於比較器之磁滯電路，其中，該第一至第四電流之電流值相等於該比較器之定電流源之電流值。

4. 如申請專利範圍第 1 項之用於比較器之磁滯電路，其

中，該第一電阻元件與該第二電阻元件具有相同之電阻值。

5. 如申請專利範圍第 1 項之用於比較器之磁滯電路，其中，該第一與第二電晶體係為 PMOS 電晶體。

6. 如申請專利範圍第 1 項之用於比較器之磁滯電路，其中，該第一至第四電流具有相同之電流值，且該第一電阻元件與該第二電阻元件具有相同之電阻值，該比較器之磁滯電路所產生的單邊磁滯寬度為該電流值乘以二倍該電阻值，而總磁滯寬度為單邊磁滯寬度的二倍。

7. 一種用於比較器之磁滯電路，該比較器具有一輸入級包含一第一電晶體及一第二電晶體，該第一電晶體與該第二電晶體之閘極端分別做為該比較器之二輸入端，用以接收二輸入信號，該比較器並具有一定電流源，用以供應一定電流至該比較器之輸入級，該磁滯電路包含：

一第一電阻元件，耦接於該第一電晶體之源極端與該比較器之定電流源之間；

一第二電阻元件，耦接於該第二電晶體之源極端與該比較器之定電流源之間；

一切換裝置，包含一第一開關元件、一第二開關元件、一第三開關元件及一第四開關元件，當該比較器之輸出端輸出信號為第一邏輯值時，該切換裝置切換成該第一與第四開關元件為開啟（ON）而該第二與第三開關元件為關閉（OFF），當該比較器之輸出端輸出信號為第二邏輯值時，該切換裝置切換成該第一與第四開關元件為關閉（OFF）而該第二與第三開關元件為開啟（ON）；

一第一定電流源元件，透過該第一開關元件而選擇性地供應一定電流至該第一電晶體之源極端；

一第二定電流源元件，透過該第二開關元件而選擇性地從該第一電晶體之源極端導出一定電流；

一第三定電流源元件，透過該第三開關元件而選擇性地供應一定電流至該第二電晶體之源極端；及

一第四定電流源元件，透過該第四開關元件而選擇性地從該第二電晶體之源極端導出一定電流。

8. 如申請專利範圍第 7 項之用於比較器之磁滯電路，其中，該第一至第四定電流源元件可產生具有相同電流值之定電流。

9. 如申請專利範圍第 7 項之用於比較器之磁滯電路，其中，該第一至第四定電流源元件之電流值相等於該比較器之定電流源之電流值。

10. 如申請專利範圍第 7 項之用於比較器之磁滯電路，其中，該第一電阻元件與該第二電阻元件具有相同之電阻值。

11. 如申請專利範圍第 7 項之用於比較器之磁滯電路，其中，該第一與第二電晶體係為 PMOS 電晶體。

12. 如申請專利範圍第 7 項之用於比較器之磁滯電路，其中，該第一至第四定電流源元件可產生具有相同電流值之定電流，且該第一電阻元件與該第二電阻元件具有相同之電阻值，該比較器之磁滯電路所產生的單邊磁滯寬度為該電流值乘以二倍該電阻值，而總磁滯寬度為單邊磁滯寬度的二倍。

13. 一種用於比較器之磁滯電路，該比較器具有一輸入級

包含一第一電晶體及一第二電晶體，該第一電晶體與該第二電晶體之閘極端分別做為該比較器之二輸入端，用以接收二輸入信號，該比較器並具有一定電流源，用以供應一定電流至該比較器之輸入級，該磁滯電路包含：

第一與第二電阻元件，具有相同之電阻值，該第一電阻元件耦接於該第一電晶體之源極端與該比較器之定電流源之間，該第二電阻元件耦接於該第二電晶體之源極端與該比較器之定電流源之間；

第一至第四定電流源元件，用以產生與該比較器之定電流源之定電流值相同的定電流，

一第一開關元件，耦接於該第一定電流源元件與該第一電晶體之源極端之間，使該第一定電流源元件可選擇性地供應定電流至該第一電晶體之源極端；

一第二開關元件，耦接於該第二定電流源元件與該第一電晶體之源極端之間，使該第二定電流源元件可選擇性地從該第一電晶體之源極端導出一定電流；

一第三開關元件，耦接於該第三定電流源元件與該第二電晶體之源極端之間，使該第三定電流源元件可選擇性地供應定電流至該第二電晶體之源極端；

一第四開關元件，耦接於該第四定電流源元件與該第二電晶體之源極端之間，使該第四定電流源元件可選擇性地從該第二電晶體之源極端導出一定電流；及

一開關元件控制裝置，用於控制該第一至第四開關元件之開啟（ON）與關閉（OFF），使得當該比較器之輸出端輸出

信號為第一邏輯值時，該第一與第四開關元件為開啟（ON）而該第二與第三開關元件為關閉（OFF），當該比較器之輸出端輸出信號為第二邏輯值時，該第一與第四開關元件為關閉（OFF）而該第二與第三開關元件為開啟（ON）。

14. 如申請專利範圍第 13 項之用於比較器之磁滯電路，其中，該比較器之磁滯電路所產生的單邊磁滯寬度為該定電流之電流值乘以二倍該電阻元件之電阻值，而總磁滯寬度為單邊磁滯寬度的二倍。

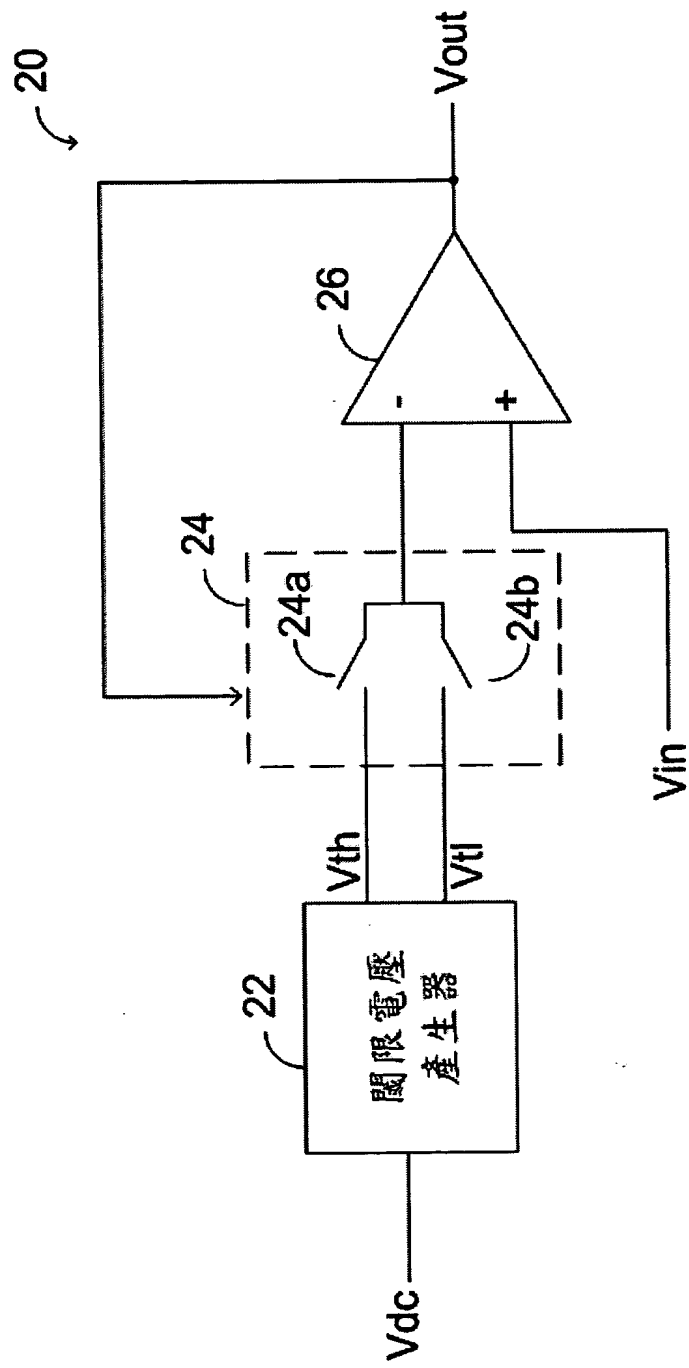


圖 2

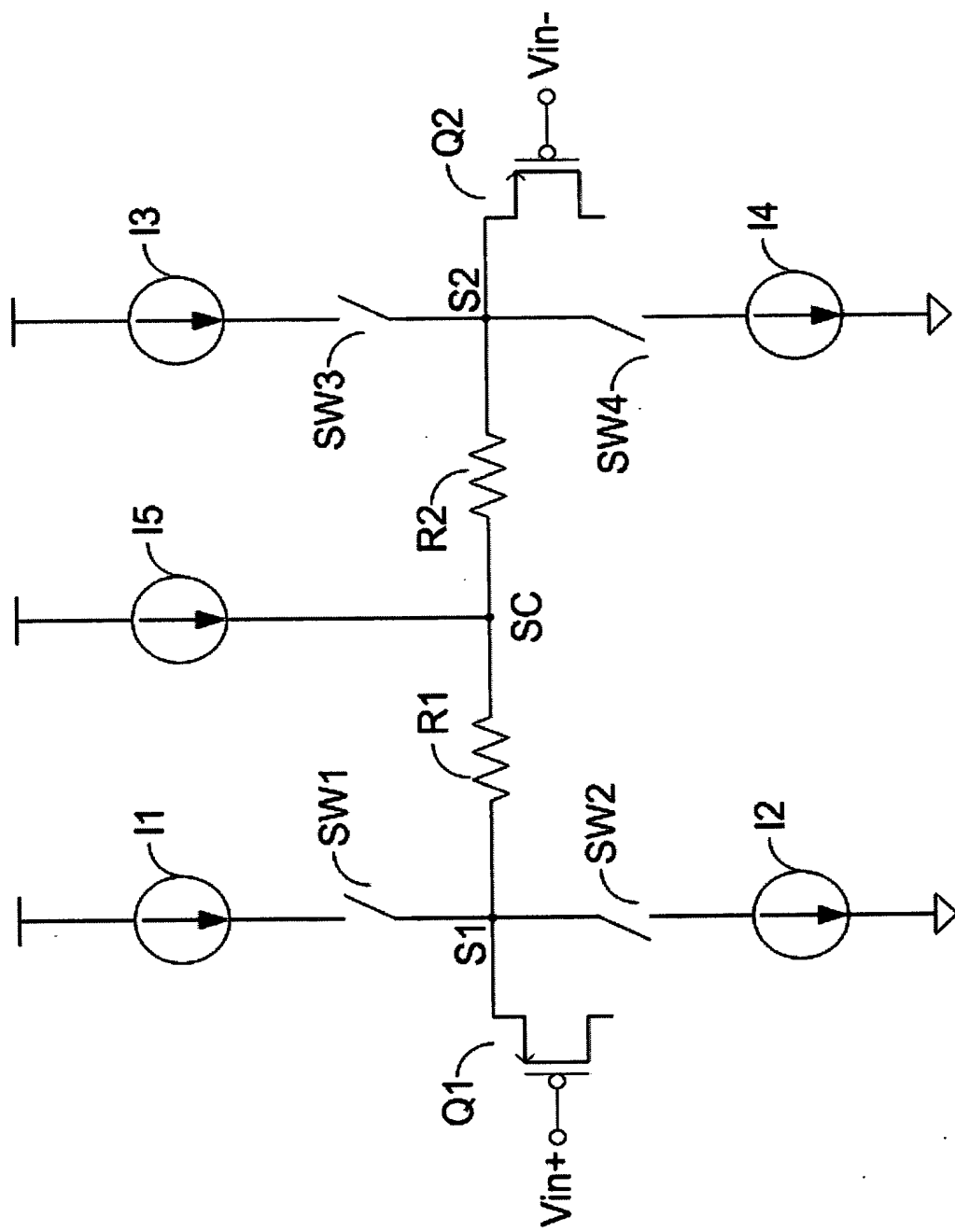


圖 4

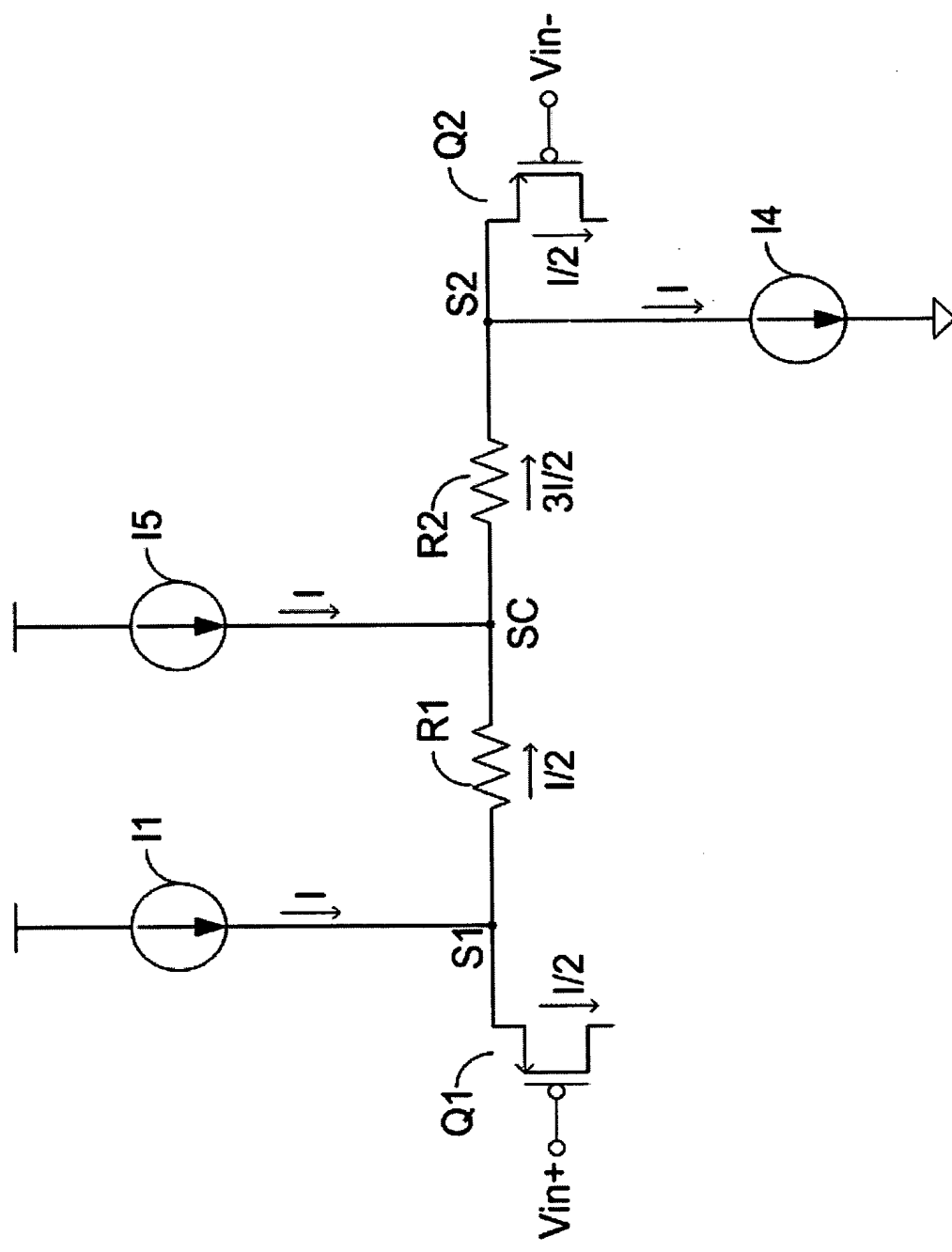


圖 5(a)

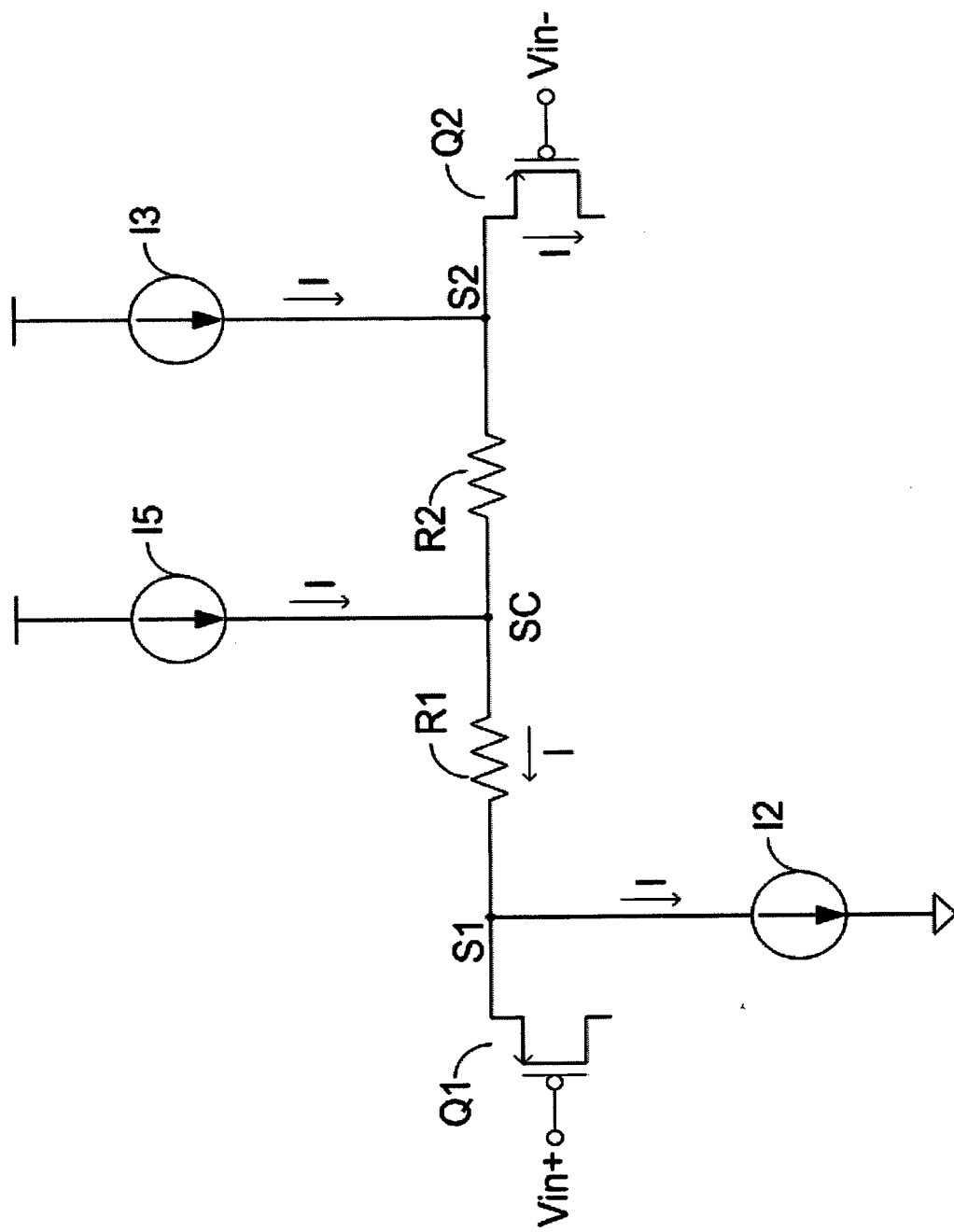


圖 5(b)

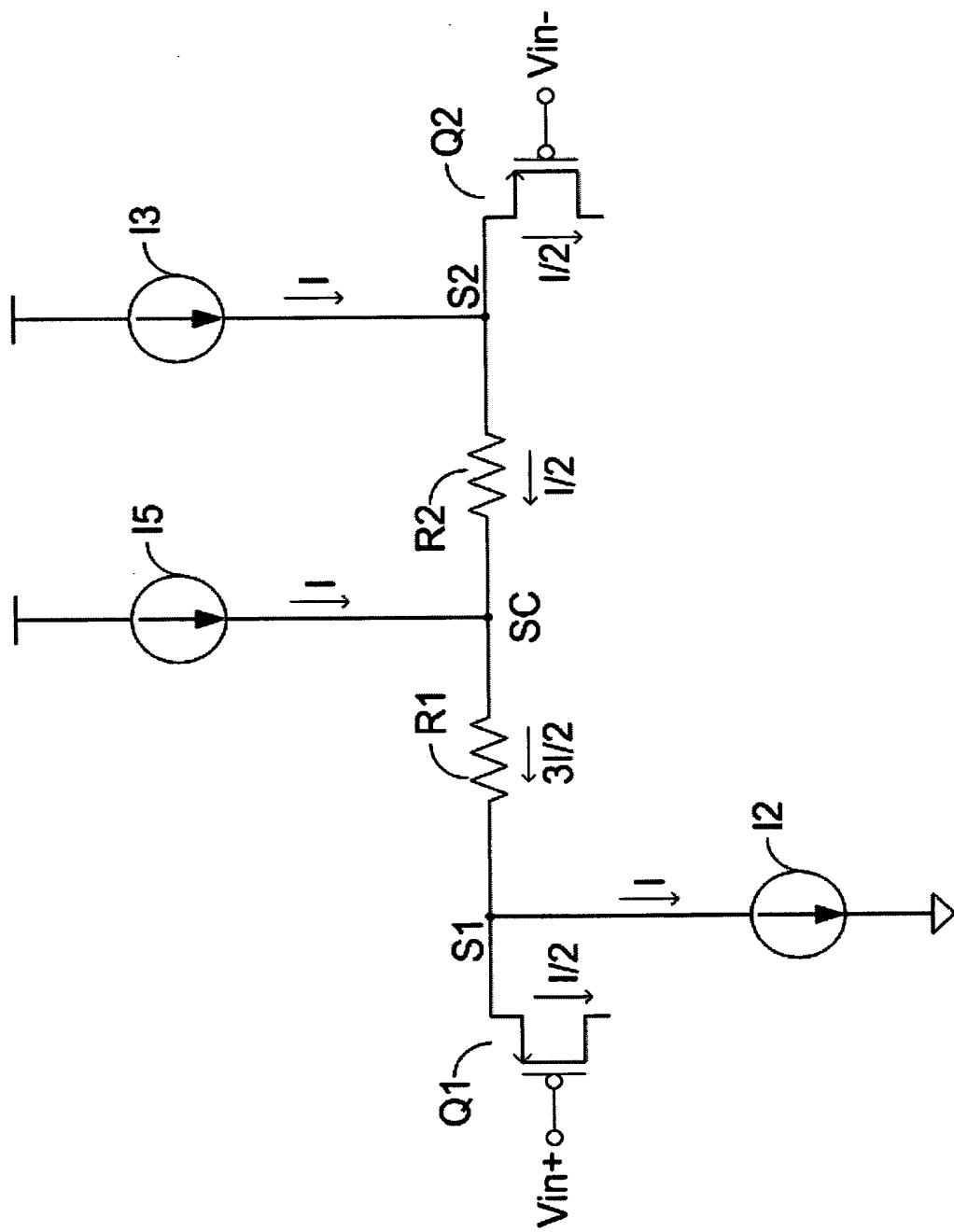


圖 6(a)

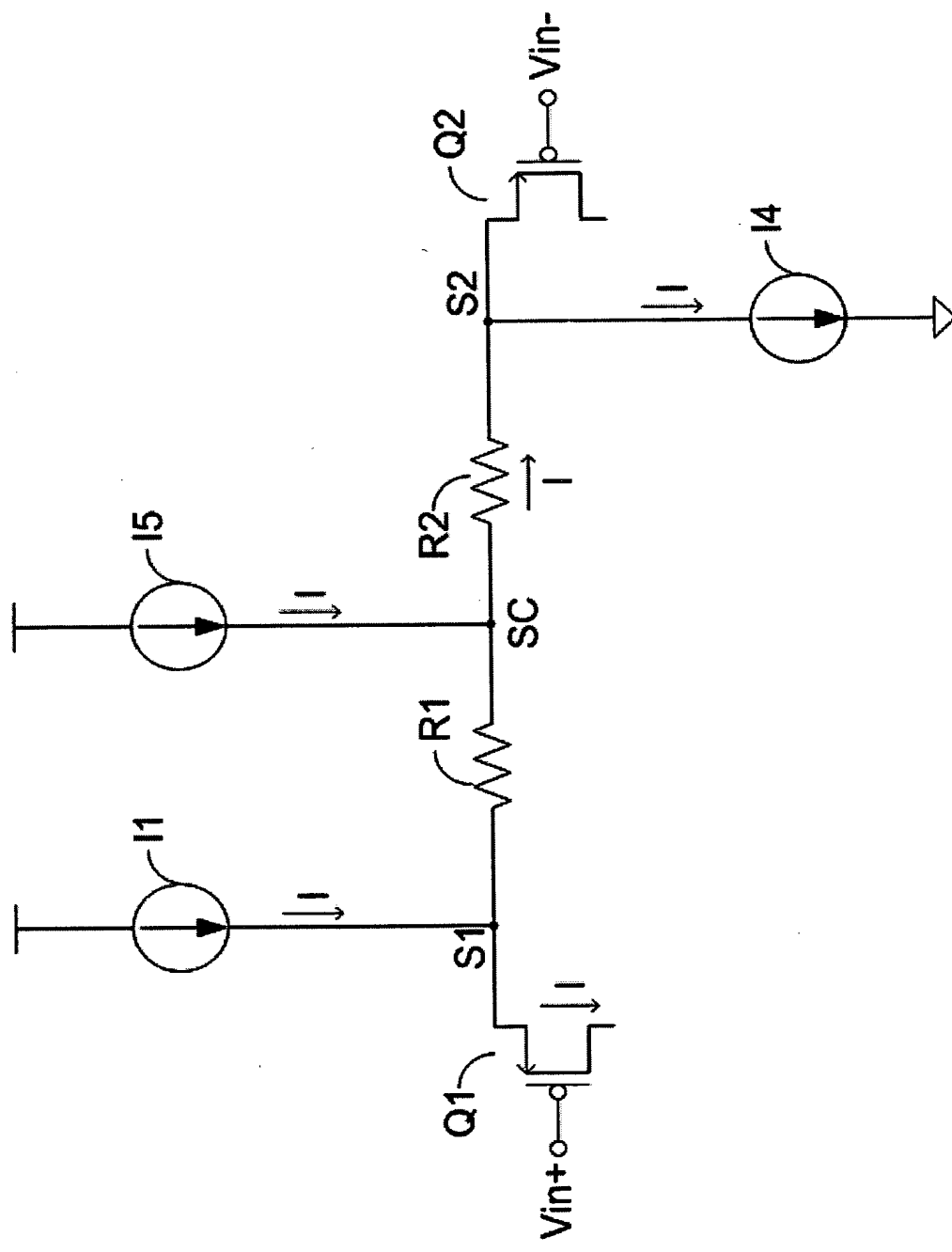


圖 6(b)